

# 2023 IEEE CICC Review

## IEEE Custom Integrated Circuits Conference

KAIST 전기및전자공학과 박사과정 박건우

### Session 16 ADCs with Noise Shaping

CICC 2023의 "Session 16. ADCs with Noise Shaping" 에서는 총 7편의 논문이 발표되었다. 일반적으로 high-resolution ADC 세션에서 발표되는 논문의 경우, 크게 보았을 때, 다음과 같이 세 가지로 구분할 수 있다. 먼저, 기본적으로 noise shaping structure에 systematic modification을 가한 설계가 있으며, 이 중 일부는 현재까지도 발표되는 다수의 high-resolution ADC의 기본 뼈대를 이를 정도로 주축이 되는 경우도 있다. 두 번째로, 종래의 noise shaping structure와 유사한 구조를 채용하지만, 더욱 고성능/고효율의 circuit technique을 사용하여 구현하는 설계가 있다. 마지막으로 최근 설계 트렌드에 해당하는, 회로 technique을 결합하여 non-ideality를 줄이는 것에 초점을 맞추는 설계가 있다. 본 학회에서 발표된 high-resolution ADC 논문들의 경우, 앞서 기술한 스타일의 논문들이 여럿 포함되어 있는 것으로 보아 넓은 설계 스펙트럼을 보이는 것으로 평가된다. 본 글에서는 tutorial review인 첫 번째 논문과 production-level인 마지막 논문을 제외한 총 5편의 논문에 대해서 리뷰를 진행하였다.

#### #16.2 – University of Macau, China

본 논문에서는 Continuous-Time (이하 CT) Delta-Sigma Modulation (이하 DSM) ADC에서 발생하는 excess loop delay로 인한 문제를 해결하는 방법과, 추가적으로, integrator requirement를 줄이기 위해 사용하는 기법 중 하나인 negative-R의 input frequency dependent한 문제점을 보완하는 방법을 소개한다. DT DSM에서와는 다르게, CT DSM은 input signal이 지속적으로 바뀌므로 conversion을 시작했을 때의 input과 conversion이 끝나고 feedback되는 신호에 상응하는 input 정보 간에 차이가 발생하게 되는데, 이 때, 발생하는 시간 차를 excess loop delay (이하 ELD) 라 일컬으며 이는 CT DSM에서 필수적으로 해결해야 하는 문제이다. 본 논문에서는, 기존의 CT DSM에서 ELD를 compensation (이하 ELDC) 하기 위해서 추가로 별개의 회로를 설계하는 방법이 아닌, ELDC가 불필요한 ELDC-Free한 구조가 제시되었다. 종래의 CT DSM에서 ELD 문제의 주 요인이 quantizer

(QTZ)의 DT operation이라는 점에서 착안하여, 본 설계에서는 CT QTZ를 사용하여 변화하는 input signal의 정보를 지속적으로 반영하여 quantization을 진행하므로 ELD를 최소화하였다. 또한, 본 논문에서는 기존에 loop filter에 사용되는 integrator의 requirement를 줄이기 위하여 사용하던 negative-R 기법의 input frequency dependent한 문제를 보완하기 위한 기법도 발표되었다. 기존의 negative-R 기법은 current-loss compensation이 DC에 국한되기 때문에, input frequency가 달라짐에 따라 성능 또한 영향을 받게 되는데, 본 설계에서는 기존의 DC negative-R에 추가적으로 negative-R/C path를 추가하여 input frequency가 달라짐에 따라 current-loss의 정도를 조절하여 이러한 문제점을 보완하였다. 본 논문은 circuit non-ideality를 해결하기 위해 종래의 해결법에 국한되지 않고, 문제에 대한 신선한 접근법을 제시하였다는 점에서 매우 인상적이다. 또한, 20MHz라는 DSM에서 낮은 BW에서 174.1dB와 14.3fj/conv 라는 높은 수준의 FoMs & FoMw를 달성하였다는 점에서 완성도가 높은 설계라고 평가된다.

### #16.3 – Xi'an Jiaotong University, China

본 논문에서는 고 해상도 ADC 구조 중 하나인 Noise Shaping SAR (이하 NS SAR) ADC에 (comparator) noise reduction 기법 중 하나인 LSB repeating을 결합한 구조를 제안한다. Conversion 직후 잔존하는 residual voltage를 processing하여 quantization noise를 shaping함으로써 고 해상도의 성능을 보이는 NS SAR에 비해서, LSB repeating 방법은 LSB conversion이 완료된 이후에도, 추가적으로 Capacitive DAC (이하 CDAC)에 연결된 여러 개의 LSB cap에 대해서 quantization을 진행한 뒤, averaging한 결과를 출력하는 방식이다. 즉, LSB conversion 직후의 정보를 이용하는 NS SAR와 LSB conversion 이후에도 conversion을 추가적으로 진행하여 출력을 내는 LSB repeating 기법의 특성 상, 두 구조의 직접적인 결합은 불가능하다. 하지만, 본 논문에서는 이러한 문제점에 대한 해결책을 종래의 high-resolution ADC에서 주로 사용하는 Multi-Stage Noise Shaping (이하 MASH) 구조에서 착안한다. MASH 구조의 핵심은, quantization 단계를 나누어 진행한 뒤, digital 단에서 post-processing을 통해서 첫 번째 quantization noise를 cancel-out 하는 것에 초점을 둔다. 본 설계에서는 cancel-out의 대상을 quantization noise가 아닌 comparator noise로 옮긴다는 점에 차이가 나타나는데, 이는 기존의 MASH와 유사하게 conversion 직후의 출력 (LSB repeating 및 averaging 이전)과 LSB repeating 및 averaging 이후의 출력을 digital post-processing을 통해서 LSB repeating 이전의 comparator noise를 cancel-out 하는 방식으로 구현한다. 본 설계에서는 적은 면적의 고 해상도 구현을 위해 12-bit의 bridge cap을 사용한 segmented CDAC으로 설계하였으며, redundancy를 위해 추가되는 cap의 size를 줄이기 위해 switching cap을 bridge cap 양측에 나누어 (bridge-crossing) 배치하는 CDAC 구조 및 스위칭 기법을 제안되었다. 본 설계는 종래의 결합하기 힘든 두 구조/기법을, 색다른 관점에서 해결책을 제시하였다는 점, 이러한 해결책을 구현하기 위

한 설계 부담을 줄였다는 점과 182dB라는 state-of-the-art 수준의 FoMs을 달성하였다는 측면에서 긍정적으로 평가된다.

#### #16.4 – Yonsei University, South Korea

본 논문에서는 Inherent DAC mismatch tolerant한 특성을 가지는 CT zoom ADC 구조를 소개한다. Zoom 구조란 종래의 DSM이 가지는 좁은 input range와 높은 linearity requirement의 문제점을 해결하기 위해 고안된 coarse-fine의 MASH DSM 구조를 일컫는다. 이러한 zoom 구조는 설계가 간단하고 energy efficient 하다는 강점이 있는 반면, 1) MASH 구조를 채택함으로써 발생하는 quantization noise leakage (이하 QN leakage)와 2) 복잡한 DWA 회로와 combination logic이 병목으로 작용한다. 본 설계에서는 각각의 문제에 대한 해결책을 다음과 같이 제시한다. 먼저, coarse 단을 DSM ADC로 교체함으로써 QN leakage를 shaping 하여 기존에 발생하던 systematic한 QN leakage 뿐 아니라, 설계 과정 도중 발생할 수 있는, 미처 고려하지 못한 non-ideality에 의한 QN leakage까지 감소시킬 수 있다는 점에서 효율적이다. 다음으로 DWA 사용으로 인한 부담을 줄이기 위해 본 설계에서는 FIR tap의 사용을 제시한다. 하지만, FIR tap을 채택하는 경우, FIR tap 자체의 delay로 인해 signal path의 timing이 틀어져 signal power에 leakage가 발생하는 문제가 야기된다. 이러한 문제를 해결하기 위해, 본 논문에서는 multi-rate operation 방식을 채택하였는데, 이는 FIR tap이 포함되는 coarse ADC를 fine ADC 보다 빠르게 (multi-rate) 동작 시켜 signal path timing이 틀어지는 것을 최소화하는 방식이다. 추가적으로, 종래의 구조에서 사용했던 Resistive DAC을 Current-steering DAC 으로 교체함으로써 negative-R의 구현 requirement 또한 낮추었다. 본 논문의 경우, 성능적인 측면에서 보았을 때, 92dB-SNDR에 175.1dB-FoMs의 좋은 측정 결과를 보였으며, 기존 구조의 문제를 회로적으로 보완했을 뿐 아니라 그 외적으로 발생하는 non-ideality에 대해서도 효율적으로 대처하였다는 점에서 설계적인 의의가 있다고 평가된다.

#### #16.5 – KAIST, South Korea

본 논문에서는 기존의 고 해상도 ADC인 NS SAR ADC에 pipelined ADC에서 주로 사용되는 dual-residue를 통한 interpolation 기법이 결합된 구조가 소개되었다. 기존의 pipelined NS SAR 구조의 경우, 일반적인 pipeline ADC에서 그러하듯, residue amplifier의 gain error에 의한 QN leakage가 병목으로 작용하는데, 이를 해결하기 위해 close-loop amp, 또는 calibration을 적용한 open-loop amp를 사용하거나 gain error shaping (이하 GES) 기법을 사용하는데, 이러한 기법들은 모두 hardware적인 부담이 크다는 단점이 존재한다. 최근에는 N-0 MASH의 구조를 차용하여 gain error를 shaping하는 설계 [1]도 소개되었지만 MASH 구조의 고질적인 문제점인 아날로그-디지털 filter의 mismatch에 의한 해상도 감소는 불가피하다. 본 설계에서는 gain error가 발생하더라도 zero-crossing point

는 일정하다는 점에서 착안한 interpolation 기법을 기존의 NS SAR ADC 구조에 결합하였다. 이로 인해 residue amp에서 gain error가 발생하더라도 두 번째 단에서 (capacitive) interpolation을 통해 이를 scaling하여 gain error의 효과를 상쇄시킴으로써 QN leakage 문제를 해결할 수 있다. 또한, 기존의 capacitive interpolation에서 parasitic capacitance로 인해 발생하는 interpolation gain이 바뀌는 문제에 대해서도 interpolation에 사용되는 cap을 순차적으로 연결하는 segmentation 기법으로 해결하였다. 본 설계는 기존의 pipelined NS SAR ADC가 가지는 문제를 적은 hardware 부담으로 해결하였다는 점에서 큰 의의를 보인다. 성능적으로 보았을 때, 83.5dB-SNDR의 비교적 높은 resolution에도 불구하고 비교적 높지 않은 170.9dB-SNDR을 보였다는 점이 다소 아쉽지만, 사용 technology가 최근 1MHz-BW 이상의 high-resolution ADC에서 거의 사용되지 않는 180nm 공정임을 미루어 볼 때, 차후 성능적으로 개선의 가능성이 높은 작품이라 평가된다.

#### #16.6 – University of Florida

본 논문에서는 Mixed-Order Correlated Dual-loop Sturdy MASH (이하 MDL MASH) 라는 기존의 conventional한 DSM에서 벗어난 새로운 구조를 제안한다. 본 설계에 앞서 2021년 A-SSCC에서 발표된 Correlated Dual-loop MASH (이하 CDL MASH) 구조 [2]의 경우, 종래의 CT DSM ADC 중 conventional한 MASH 구조를 사용할 때 발생하는 quantization noise extraction의 intrinsic delay 문제를 해결하기 위한 해결책으로 제시되었다. CDL MASH 구조에서는 quantization noise extraction 대신 첫 번째 단의 loop filter의 output을 직접적으로 두 번째 단에 연결하는 방식을 채택하고 두 번째 단의 loop 구조를 사용하지 않는다는 점에서 feedback DAC을 사용하지 않는다는 이점을 얻을 수 있다. 하지만 CDL MASH 구조를 사용하게 되면, 첫 번째 단과 두 번째 단의 loop filter를 동일한 transfer function으로 설계해야 (correlated dual-loop) 하기에 설계의 flexibility가 낮다는 점과 첫 번째 단의 loop filter의 출력단에서의 load가 증가한다는 단점이 존재한다. MDL MASH에서는 기존의 CDL MASH의 문제점을 해결하기 위해 첫 번째 단의 input feedforward와 두 번째 단의 feedforward를 제거하는 대신, input과 첫 번째 loop filter의 출력의 차를 두 번째 단의 입력으로 사용하였다. 또한, 두 번째 단에 인가되는 input의 크기를 scaling 함을 통해 각 단의 QTZ의 입력의 swing range를 조절할 수 있는데, 이를 통해 input의 linear range가 제한되어 있는 VCO의 단점을 희석시킴으로써 각 단의 QTZ로 VCO를 사용하는 것이 가능케 하였다. 추가적으로 open-loop 구조인 두 번째 단에서 pre-amp와 cap만을 사용한 loop filter를 구현하여 설계의 난이도를 낮추었다. 본 논문은 성능 측면에서 보았을 때, 15.625MHz라는 DSM ADC에서 비교적 높은 BW를 가지고 있음에도 165dB-FoMs 라는 높지는 않은 측정 결과가 도출되었다는 점에서 비교적 아쉬운 점이 있다. 하지만, 최근 high-resolution ADC에서 보기 드물게 systematic한 접근과 아이

디어로 종래 CT DSM의 문제를 해결하려고 하였다는 점에서 큰 의의가 있다고 평가된다.

## 참고문헌

[1] H. Zhang, Y. Zhu, C. -H. Chan and R. P. Martins, "An Inherent Gain Error Tolerance Noise-Shaping SAR-Assisted Pipeline ADC With Code-Counter-Based Offset Calibration," in IEEE Journal of Solid-State Circuits, vol. 57, no. 5, pp. 1480-1491, May 2022, doi: 10.1109/JSSC.2021.3111912.

[2] B. Park, C. Han and N. Maghari, "Correlated Dual-Loop Sturdy MASH CT  $\Delta\Sigma$  ADC with Indirect Signal Feedforward," 2021 IEEE Asian Solid-State Circuits Conference (A-SSCC), Busan, Korea, Republic of, 2021, pp. 1-3, doi: 10.1109/A-SSCC53895.2021.9634766.

## Session 29 & 34: Giga Sample-Rate Data Converters

CICC 2023의 "Session 29와 34에서는 Giga Sample-Rate Data Converter 총 8편이 발표되었다. Noise-shaping SAR ADC로 대표되는 저전력 고해상도 논문이 주를 이루던 최근 몇 년의 논문 트렌드와는 달리, 올해 data converter session에서는 high-speed ADC의 논문 수가 눈에 띄게 늘어났고, 이들 모두 학계에서 발표한 논문들이다. 근래에 발표된 high-speed ADC 논문들이 주로 산업체에서의 연구가 주축이 되었고 time-interleaving ADC 구조 및 그를 위한 calibration 기법들에 주안점을 둔 것과 달리, (학계에서 발표한 논문들이라는 이유도 있겠으나) 이번 CICC에서는 ADC의 구조적인 측면에서도 새로운 시도가 많이 소개되었다. 성능의 극한을 다루었다고 하기는 어려울 수 있으나, 여전히 성능적으로도 매우 우수한 논문들이 대다수라고 평가할 수 있다.

세션의 구성은, 12b 1GS/s의 DAC와 ADC 각 1편, time-domain conversion을 이용한 high-speed ADC 구조 2편, High-speed 동작을 위한 새로운 SAR ADC 구조 2편, Pipelined ADC의 residue amp에 의한 성능 제한을 개선한 논문 2편으로 이루어졌다. 조금 더 구체적으로는, (29-1) current source mismatch calibration 기법을 제안한 12b 1GS/s DAC, (29-2) buffer의 nonlinearity calibration 기법을 제안한 12b 1GS/s ADC, (29-3) 기존 Synthesized stochastic TDC의 long delay에 의한 jitter 영향을 줄이기 위한 segmented TDL 구조와 개선된 phase folder를 이용한 2x TI 8.5b 2GS/s time-domain ADC, (29-4) Flash + VCO-based sub ranging ADC 구조이되, capacitor DAC를 이용한 residue generation이 아닌 R-string + sampling cap을 사용한 residue level shifting 기법을 이용한 6.2ENOB 2.5GS/s ADC, (34-1) Charge injection을 이용한 매우 compact한 6b 1.1GS/s SAR ADC, (34-2) SAR ADC의 DAC settling speed를 제거하기 위한 DAC level look-ahead 기법을 제안한 8x TI 6b

10GS/s ADC 구조, (34-3) Pipeline ADC의 speed bottleneck을 개선하기 위해 residue amp에 별도의 pipelining을 적용함으로써 필요한 클럭 time을 줄인 12b 1.5GS/s pipeline SAR ADC, (34-4) Pipelined SAR ADC에서 저전력 residue amp로 사용되는 dynamic amp의 온도 특성을 보상한 7.9ENOB 1.5GS/s pipelined SAR ADC가 발표되었다. 이들 중 세 편의 논문에 대해서 아래에 조금 더 자세하게 리뷰하고자 한다.

### #29.1 – KAIST, South Korea

본 논문에서는 28nm CMOS 공정으로 설계된 12b 1GS/s DAC를 구현하였는데, 설계의 초점은 current-steering DAC의 12b 선형성 보장에 있다. 전류원의 부 정합(mismatch)을 보정(calibration)하는 상당히 많은 기법들이 개발되어 있으나, 대부분 기존 기술들은 정적 선형성 (static linearity)을 보장하는 것에 그쳐, 전류원의 calibration mode로의 진입과 진출 시 출력 아날로그 신호에서 발생하는 calibration spur가 문제가 되었다. 기존의 calibration 기술에서는 입력데이터에 의해 Vout+나 Vout- 한쪽에 연결되어 normal conversion 동작 중이던 각 전류원이 calibration mode로 빠지게 되면서 해당 출력에 switching에 의한 spur를 만들어 내는 것이 문제였다. 제안된 paired current source switching 기법에서는 전류원 calibration 시 두 개씩을 짝(paired)으로 선택하되, calibration 동작 전에 두 전류원을 input data와 무관하게 각각 Vout+와 Vout-에 나누어 연결하는 common-mode switching이라는 동작을 거치게 하여 calibration switching에 의해 발생하는 spur가 차동신호 0으로 나타나도록 하였다. 동일한 이유로 두 전류원이 보정을 마치고 normal conversion mode로 복귀할 때도 마찬가지로 common-mode switching을 거치게 하였다. 전류원이 calibration mode로 들어갔을 때 입력 데이터 변환에 사용되어야 할 전류원이 필요하므로, paired replacement current source가 추가되었고, 전류원이 normal 동작시에도 common-mode에 변화가 없도록 paired common-level current source 역시 추가되었으며, 이들 추가된 current source들 역시 동일한 calibration 동작을 거치도록 하였다. 그 결과, 286MHz output 신호에 대해서도 70.6dBc의 높은 SFDR을 보여주었고, background calibration 동작에도 불구하고 출력 신호의 spectrum에 calibration spur가 전혀 나타나지 않는 우수한 특성을 달성하였다.

### #34.1 – Konkuk University, South Korea

본 논문에서는 time-interleaved ADC의 효율적인 구현에 적합한 compact한 SAR ADC slice를 구현하기 위해서 charge injecting SAR [1] 구조를 선정하였고, 이 구조의 단점들을

개선하여 매우 작은 크기와 input capacitance를 갖는 ADC를 구현했다. CI-SAR는 capacitor DAC을 핵심 building block으로 사용하는 일반적인 SAR ADC와는 달리 하나의 input capacitor ( $C_{in}$ )에 연결된 charge injecting (CI) cell들을 이용함으로써 reference driving의 부담을 줄이고 고속 DAC 동작을 할 수 있는 구조이다. 그러나, CI cell을 통해 전달되는 charge의 PVT 민감도에 따른 full scale의 변화나 CI cell의 monotonic charge addition 특성으로 인한 비교기의 input common-level 변화에 따른 decision별 offset의 변화가 문제가 된다. 본 연구에서는 PVT 둔감성을 줄이기 위한 방법으로 reference DC input을 변환하도록 설계된 replica CI-SAR를 두어 그것의 출력 코드에 따라 supply를 조절하여 LDO를 통해 공급함으로써 charge packet의 크기를 조절하도록 하였다. 또한, monotonic charge injection에 의한 common-level drop 문제는 차동  $C_{in}$ 에 공통으로 연결된  $V_{cm}$  shifting capacitor를 두어 common level을 들어올려 줌으로써 해결하였다. 더불어  $C_{in}$ 을  $kT/C$  noise limit에 가까운 8.5fF을 사용하여 28nm CMOS 공정에서 ADC core의 사이즈가 80  $\mu m \times 30 \mu m$ 인 매우 compact한 6b ADC를 구현해냈다. 작은  $C_{in}$  덕분에 ERBW가 7GHz에 달하는 우수한 성능을 보였으며, 전력소모 1.32mW로 25.5fJ/conv-step의 FoMw를 달성하였다. ADC slice의 작은 사이즈 덕분에 많은 채널의 time-interleaved ADC를 구현함에 있어 면적이나 skew 부담을 크게 개선할 수 있을 것으로 기대된다.

### #34.2 – UCLA, USA

SAR ADC의 변환속도를 개선하는 방법으로 1b/cycle의 제약을 넘어서는 2b/cycle 구조, 비교기의 reset time과 switching logic delay를 제거하기 위한 loop-unrolled SAR 구조 등을 쓰는 것이 대표적이다. 본 논문에서는 기존 기법들과는 달리 CDAC의 settling time을 제거하는 look-ahead 기법을 제안하였다. 이 기법은 1b/cycle SAR ADC가 매 decision마다 가능한 출력이 두 가지가 있음에 착안하여, 두 개의 추가적인 SAR ADC를 구현하여 가능한 DAC level 두 개를 모두 미리 만들어 두고, 이전 decision의 결과에 따라 어떤 SAR ADC를 enable할지 MUX를 제어하도록 하였다. 기존에 flash ADC의 전력소모를 줄이기 위한 방법으로 binary search ADC라는 구조가 소개되었는데 [2], 유사한 기술을 SAR ADC에 적용하였다고도 볼 수 있겠다. 이러한 기술을 통해 본 논문에서는 8x TI 6b 10GS/s ADC를 구현했다. 다만, SAR ADC에 제안한 look-ahead 기법을 적용하기 위해서는 4채널의 SAR ADC가 필요하여 hardware의 크기 증가가 speed의 개선에 비해 더 크기 때문에 면적 부담이 커지는 점이 무시하기 어려운 단점이 될 것으로 판단된다.

## 참고문헌

- [1] K. D. Choo, J. Bell and M. P. Flynn, "27.3 Area-efficient 1GS/s 6b SAR ADC with charge-injection-cell-based DAC," 2016 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2016, pp. 460-461.
- [2] G. Van der Plas and B. Verbruggen, "A 150 MS/s 133 uW 7 bit ADC in 90nm Digital CMOS," in IEEE J. Solid-State Circuits, vol. 43, no. 12, pp. 2631–2640, Dec. 2008

## 저자정보

---



### 명예기자 박건우

- 소 속 : KAIST 전기및전자공학과 박사과정
  - 연구분야 : High Speed & Resolution ADC
  - 이 메 일 : pkwoo435@kaist.ac.kr
  - 홈페이지 : <https://msicl.kaist.ac.kr>
-